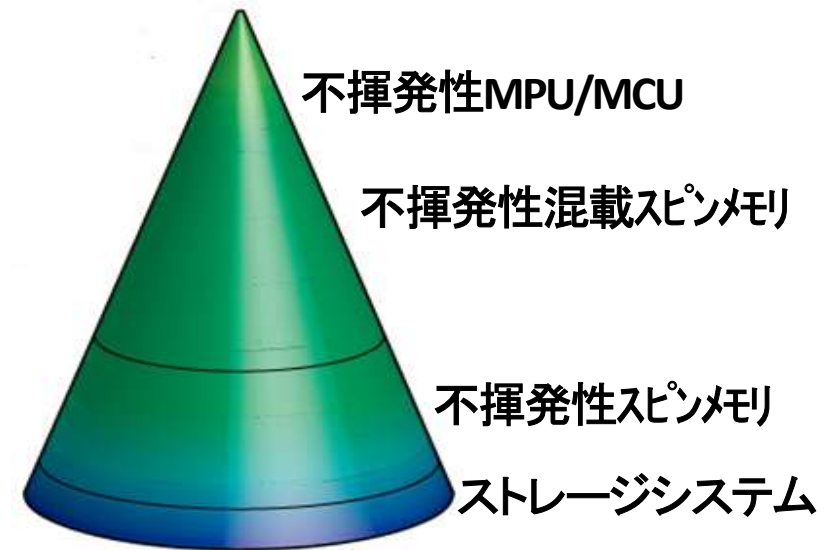


研究プロジェクト名: スピントロニクス集積回路による高性能システム設計とその応用展開

概要:スピントロニクス集積回路の導入により、システムの更なる低消費電力化や 高機能化が期待されている。本研究プロジェクトでは、各階層のスピントロニクス集積回路に求められる性能や仕様等をベンチマークし、スピントロニクスデバイスを活用した新しいシステムにかかるアーキテクチャーの設計指針を確立する。加えて、当該スピントロニクスシステムの応用展開を検討する。

コアメンバー【案】: 遠藤グループ(東北大)、羽生グループ(東北大)、深見グループ(東北大)、筑波大グループ、名古屋大グループ

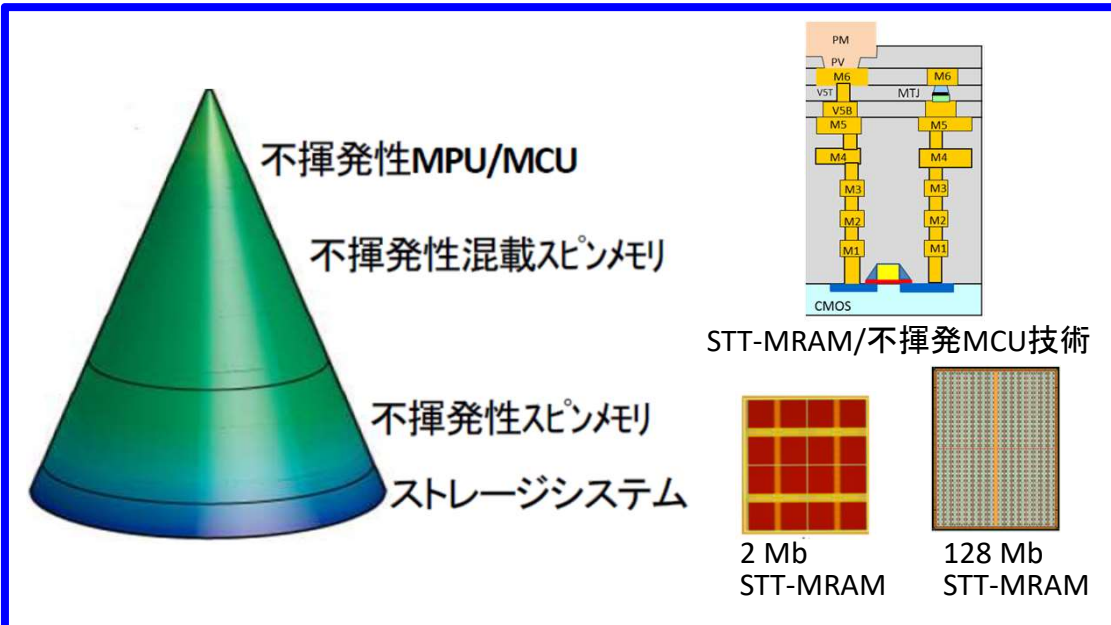
期待される研究成果: システム中の各階層でのスピントロニクス集積回路に対する要求性能や仕様等をベンチマークすることで、スピントロニクスデバイスに基づく新しいシステムにかかるアーキテクチャーの設計指針を確立することができる。確立したアーキテクチャ設計指針は、システムの飛躍的低消費電力化と高機能化の実現に資する。



研究プロジェクト名: スピントロニクス集積回路による高性能システム設計とその応用展開

概要: スピントロニクス集積回路の導入により、システムの更なる低消費電力化や高機能化が期待されている。本研究プロジェクトでは、各階層のスピントロニクス集積回路に求められる性能や使用等をベンチマークし、スピントロニクスデバイスを活用した新しいシステムにかかるアーキテクチャの設計指針を確立する。加えて、当該スピントロニクスシステムの応用展開を検討する。

研究成果(実施状況):
IoTやAIアプリケーションを想定してシステム中の各階層でのスピントロニクス集積回路に対する要求性能や仕様等のベンチマークを進めるとともに、既存デバイスの特性評価によりデバイスパラメータの抽出を行い、スピントロニクスデバイスに基づく新しいシステムにかかるアーキテクチャの設計指針の確立をさらに進めた。



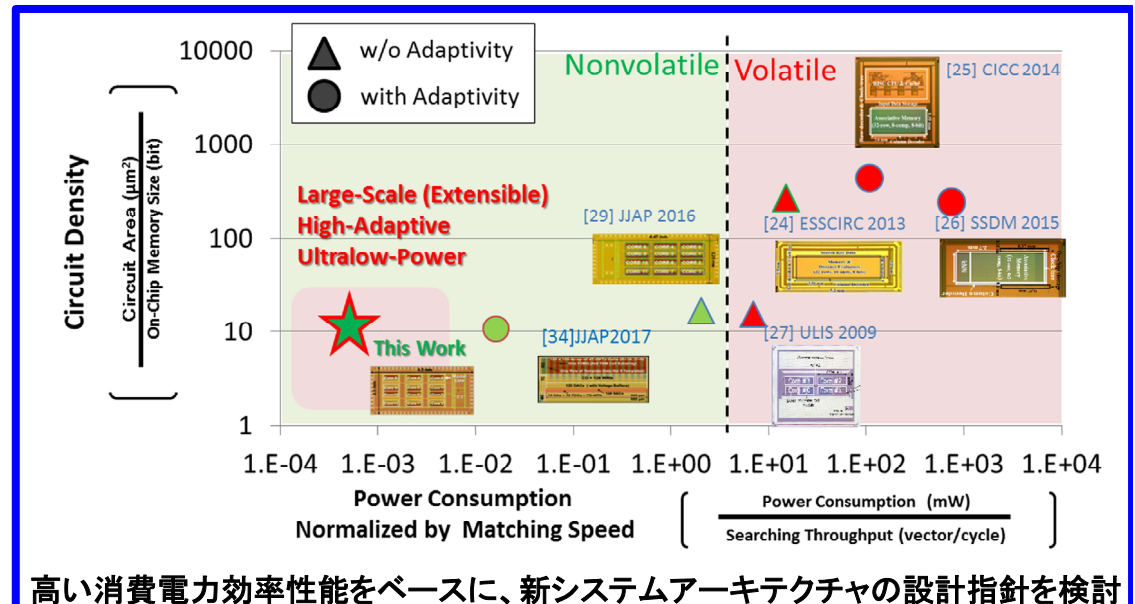
主要発表論文等: [1] T. Endoh et al., J. Low Power Electron. Appl. 8, 1-17 (2018).
[2] T. Endoh et al., Non-Volatile Memory Technology Symposium 2018.

研究プロジェクト名: スピントロニクス集積回路による高性能システム設計とその応用展開

概要: スピントロニクス集積回路の導入により、システムの更なる低消費電力化や高性能化が期待されている。本研究プロジェクトでは、各階層のスピントロニクス集積回路に求められる性能や使用等をベンチマークし、スピントロニクスデバイスを活用した新しいシステムにかかるアーキテクチャの設計指針を確立する。加えて、当該スピントロニクスシステムの応用展開を検討する。

研究成果(実施状況):

IoTやモバイル向けのAIアプリケーションを想定して、スピントロニクスデバイスを活用した不揮発性最近傍探索集積回路の性能をシステム・コプロセッサとしてベンチマークした。揮発性回路に比べて 10^5 倍高い消費電力効率をベースに、新しい低消費電力システムアーキテクチャの設計におけるAIエンジンとその他周辺回路に対する要求性能や仕様について検討した。



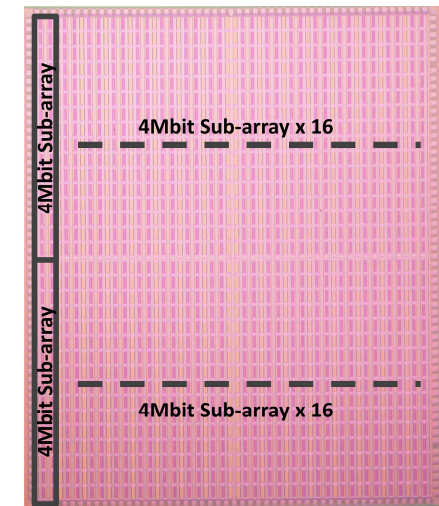
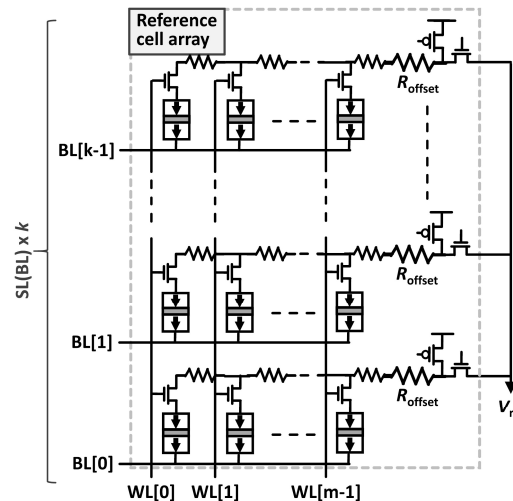
主要発表論文等: [1] Y. Ma et al., Jpn. J. Appl. Phys. 59, SGGB18 (2020).
[2] T. Endoh et al., 2019 Silicon Nanoelectronics Workshop (SNW).

研究プロジェクト名: スピントロニクス集積回路による高性能システム設計とその応用展開

概要: スピントロニクス集積回路の導入により、システムの更なる低消費電力化や高機能化が期待されている。本研究プロジェクトでは、各階層のスピントロニクス集積回路に求められる性能や使用等をベンチマークし、スピントロニクスデバイスを活用した新しいシステムにかかるアーキテクチャーの設計指針を確立する。加えて、当該スピントロニクスシステムの応用展開を検討する。

研究成果(実施状況):

STT-MRAMの大容量化に伴う配線抵抗の増加やMTJ抵抗ばらつきによる歩留まり低下などの課題解決のため、読出経路配線抵抗の等長化、及びMTJ抵抗の平均化を行うことで、安定な参照電圧を生成する回路を新しく提案した。本回路を適用した128Mb STT-MRAMチップを設計・試作し、フェールビット率改善効果を実証すると共に、30nsの読出アクセス時間を実現した。



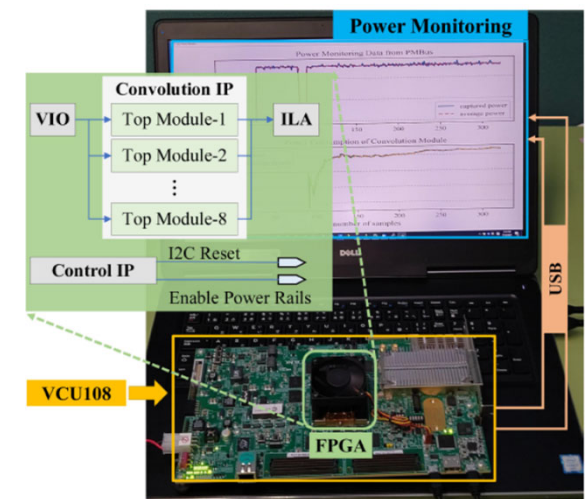
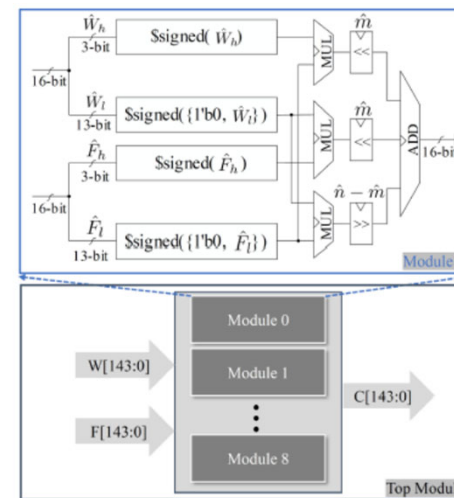
参照電圧を生成する新規回路提案と、128MbのSTT-MRAMによる動作実証 [1]

主要発表論文等: [1] H. Koike et al., IEEE Trans. Magn. 57, 3400909 (2021).
[2] T. Endoh et al., 66th International Electron Devices Meeting (IEDM 2020) (Invited).

研究プロジェクト名: スピントロニクス集積回路による高性能システム設計とその応用展開

概要: スピントロニクス集積回路の導入により、システムの更なる低消費電力化や高性能化が期待されている。本研究プロジェクトでは、各階層のスピントロニクス集積回路に求められる性能や使用等をベンチマークし、スピントロニクスデバイスを活用した新しいシステムにかかるアーキテクチャーの設計指針を確立する。加えて、当該スピントロニクスシステムの応用展開を検討する。

研究成果(実施状況): エッジでの膨大なデータ解析と処理は、エッジプロセッサの負担が増え、設計の複雑さとエネルギー散逸を増大させる。本課題では、コンパクトかつ低消費電力のエッジプロセッサを新規システムアーキテクチャにより設計した。ADCを備えたフレキシブルなビット調整ベースの畳み込みモジュールを提案し、実際に実験により低消費電力化に有効であることを実証した。



(左)畳み込みモジュールの新規システムアーキテクチャと、(右)畳み込みIPの消費電力をリアルタイムモニターするための実験的なセットアップ [1]

主要発表論文等: [1] Tao Li, Yitao Ma, Ko Yoshikawa, Osamu Nomura, and Tetsuo Endoh, IEEE Trans. Indus. Inf., 18, 3055 (2022).